

Traccia della soluzione

Esercizio A

SOLUZIONE:

- 1) $Y = a_n + (b_n \cdot (c_n + d_n))$ dove n indica il negato
- 2)
- 3) Il tempo 10-90% è $\tau \cdot \ln(9)$ quindi volendolo di 2ns, viene una tau di 0.91ns. Tau è l'RC, come R si può prendere cautelativamente la $(v_{gs} - v_t) / I_{d,sat}$ che in questo caso viene ca 500 Ohm portando ad una C di 2pF
- 4) $P = C V_{dd}^2 f$ dove f è 1MHz quindi in totale 25 uW

Esercizio B

- 1) La tensione al gate di M1 sarà $V_{g1} = V_{dd} \cdot R_2 / (R_2 + R_1) = 3V$, quindi nell'ipotesi di saturazione del mos M1 la corrente sarà $I_1 = 1mA$ e la $g_{m1} = 2ms$, da cui ne deriva una tensione ai capi di R_3 pari a 3V. Quindi il mos M1 è saturo come da ipotesi. Per quanto riguarda il mos M2 la tensione al suo gate V_{g2} è pari a 3V e impostando l'equazione $V_s = R_{out} \cdot K_n (V_{gs} - V_t)^2$, nell'ipotesi di saturazione del Mos2, si ottiene un valore di $V_s = V_{out}$ pari a 1V. Il mos M2 è quindi saturo e con una corrente $I_2 = 1mA$ e una $g_{m2} = 2ms$.
- 2) La funzione di trasferimento V_{out}/I_n ha uno zero nell'origine e due poli legati alle due capacità C_{in} e C_{out} . Di conseguenza a bassa e alta frequenza il guadagno sarà pari a zero. La costante di tempo associata alla capacità C_{in} è $\tau_{in} = C_{in} \cdot (R_{in} + R_1 // R_2) \approx C_{in} \cdot R_{in}$ a cui corrisponde una frequenza del polo $f_{in} = 50Hz$. La costante di tempo associata alla capacità C_{out} è invece $\tau_{out} = C_{out} \cdot (R_{out} // (1/g_{m2}))$ e quindi il suo polo sarà alla frequenza $f_{out} = 1.5MHz$. A media frequenza, quando la capacità C_{in} è un corto circuito e la capacità C_{out} è ancora un circuito aperto, $V_{out}/I_n = R_{in} // R_1 // R_2 \cdot g_{m1} \cdot R_3 \cdot g_{m2} \cdot R_{out} / (1 + g_{m2} \cdot R_{out}) = 24k\Omega$. Quindi il diagramma di Bode asintotico del guadagno V_{out}/I_n partirà da zero per arrivare al valore a media frequenza (24kΩ) alla frequenza del polo f_{in} per poi tornare a zero ad alta frequenza (per $f \gg f_{out}$). Per quanto riguarda la fase invece, partirà da 90° per arrivare a 0° a media frequenza e a -90° ad alta frequenza.
- 3) Un segnale è considerato piccolo quando la tensione gate-source risulta molto minore del doppio della tensione di over-drive. È possibile ricavare che la v_{gs} del transistor M1 è pari a $v_{gs,M1} = I_n \cdot R_{in} // R_1 // R_2$. Tale tensione deve essere molto minore di $2V_{ov,M1} = 2V$; per cui la corrente I_n deve essere molto minore di 333uA. Per quanto riguarda invece il transistor M2, la sua v_{gs} sarà pari a $v_{gs,M2} = I_n \cdot R_{in} // R_1 // R_2 \cdot g_{m1} \cdot R_3 (1 - g_{m2} \cdot R_{out} / (1 + g_{m2} \cdot R_{out}))$. Tale tensione deve essere molto minore di $2V_{ov,M2} = 2V$; per cui la corrente I_n deve essere molto minore di 167uA. Proprio M2 risulta limitante e, prendendo come margine un fattore dieci ad esempio, si ottiene che la massima corrente I_n che può essere considerata come piccolo segnale dal circuito è pari a 16.7uA.

Esercizio C

- 1) $\frac{V_{ADC}}{V_s}(s) = \frac{sCR_1}{1+sCR_1} \left(1 + \frac{R_3}{R_2}\right)$ $f_p = 1/2\pi CR_1 = 16Hz$, zero nell'origine, guadagno ad alta frequenza: 101
- 2) $LSB = 10V/2^{12} = 2.44mV$

Affinché la risoluzione sia di almeno una parte su 100 è necessario che la sinusoide in ingresso all'ADC sia ampia almeno $100 \cdot LSB = 244mV$. Dato che il segnale $v_s(t)$ è ampio 10mV dobbiamo avere un guadagno di almeno $244mV/10mV = 24.4$, ossia avere una frequenza della sinusoide maggiore di circa $24.4/101 \cdot f_p = 3.9 Hz$.

- 3) $V_{ADC} = -R_1 \cdot I_{B+} \cdot (1 + R_3/R_2) + I_{B-} \cdot R_3 = 101mV = 4.1 LSB$
- 4) La tensione V_{ADC} a $t=0^+s$ si porta a $20mV \cdot 101 = 2.02V$ per poi decadere esponenzialmente a 0V con una costante di tempo $\tau = R_1 \cdot C = 10ms$. Affinché l'errore di conversione sia minore di 1LSB dobbiamo imporre che

durante il tempo di conversione il segnale in ingresso all'ADC cambi meno di 1LSB. Dato che il modulo della derivata iniziale dell'esponenziale è $2.02V/\tau = 202V/s$ dobbiamo richiedere $T_{conv} \cdot 202V/s < 1 \text{ LSB}$, da cui $T_{conv} < 12\mu s$.

5) Il guadagno d'anello vale:

$$G_{loop}(s) = -\frac{R2}{R2 + R3 + R0} \frac{1}{1 + sC_{ADC}R0 || (R2 + R3)} A(s)$$

Che taglia l'asse a 0dB a $GBP/101 = 0.99\text{MHz}$ e presenta un secondo polo a 32MHz in aggiunta a quello dell'amplificatore operazionale (a $GBP/A_0 = 1\text{kHz}$).

Il trasferimento del circuito è analogo a quello del punto 1 con l'aggiunta di due poli, uno a 0.99MHz e uno a 32MHz.

6) Aumentando la C_{ADC} si sposta a più bassa frequenza il secondo polo presente nel guadagno d'anello riducendo il margine di fase. Un margine di fase di 45° si ha quando il taglio dell'asse a 0dB avviene in corrispondenza del secondo polo:

$$\frac{1}{2\pi C_{ADC}R0 || (R2 + R3)} \cong 0.99\text{MHz}$$

da cui si ricava $C_{ADC,max} = 3.2\text{nF}$.