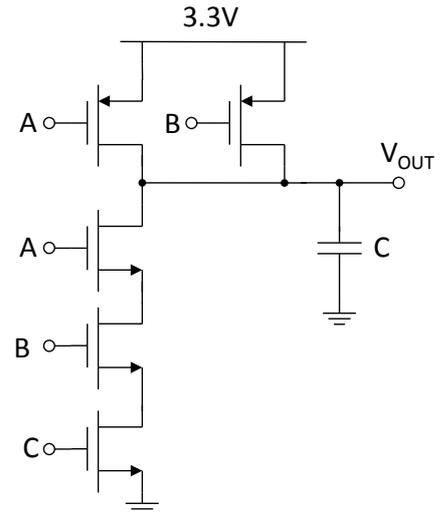


Esercizio A

Si consideri il circuito digitale di figura. $k_n= 300\mu A/V^2$ $k_p= 100\mu A/V^2$
 $V_{T,n}=|V_{T,p}|=0.7V$, $C= 1pF$

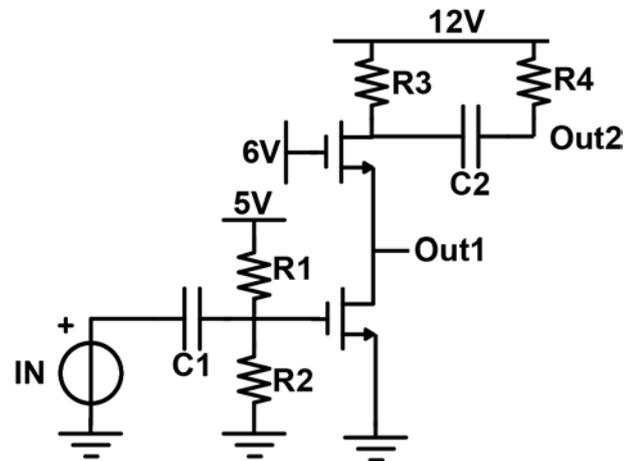
- 1) Determinare la tabella della verità del circuito
- 2) Siano B e C a livello alto. Calcolare i tempi di commutazione per le transizioni $A= 0 \rightarrow 1$ e $A= 1 \rightarrow 0$
- 3) Tracciare l'andamento temporale dell'uscita e calcolare la potenza dissipata dal circuito quando B è alto, A è un clock a frequenza $f_A=2MHz$ e C è un clock a frequenza $f_C=1MHz$ (con il fronte di salita allineato al clock di A)
- 4) Si supponga che al circuito siano erroneamente applicati dei segnali digitali con ampiezza 4V mantenendo l'alimentazione del circuito a 3.3V. Determinare nuovamente i tempi di commutazione e la potenza dissipata dal circuito richiesti nelle domande 2 e 3.



Esercizio B

$R_2=2k\Omega$, $R_1=3k\Omega$, $C_1=100nF$, $R_3=3k\Omega$, $R_4= 1k\Omega$, $C_2=1nF$
 $K_n=1mA/V^2$, $V_t=1V$

- 1) Determinare la polarizzazione del circuito specificando la tensione in ogni nodo e la corrente in ogni ramo
- 2) Calcolare il guadagno $Out1/IN$ ad alta frequenza
- 3) Calcolare il guadagno $Out2/IN$ a bassa, media ed alta frequenza, tracciandone il diagramma di bode
- 4) Calcolare la dinamica massima del segnale di uscita $Out2$

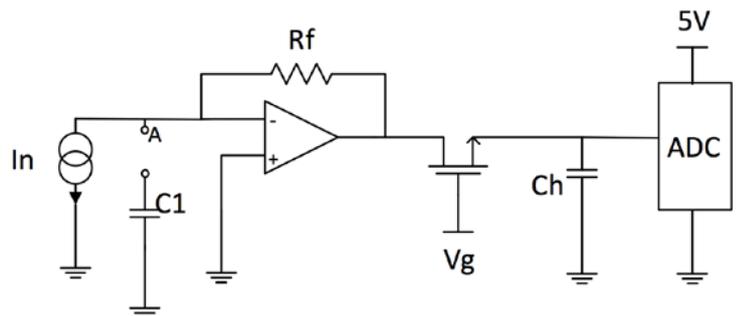


Esercizio C

Dati: $V_{dd}=5V$, I_n è una corrente di segnale che varia da 0 a 10 mA, $V_t=1V$, $K=1/2 \mu_n C_{ox} \cdot W/L=1.5mA/V^2$

Trascurando per ora la capacità C_1 e considerando l'OPAMP e l'interruttore MOS ideali:

- 1) Determinare il valore della resistenza R_f che consenta di sfruttare tutta la dinamica dell'ADC
- 2) Determinare il numero di bit dell'ADC necessario a misurare una corrente di segnale di 10uA
- 3) Dimensionare la tensione V_g per garantire una resistenza R_{on} di 200 ohm ed un corretto spegnimento nella fase OFF del Mos



Collegare adesso al nodo A la capacità C_1 , considerare l'interruttore MOS aperto e l'OPAMP non ideale con $A_0=10^6$ e $GBWP=1MHz$:

- 4) Dimensionare la capacità C_1 in modo da garantire un margine di fase di almeno 45°