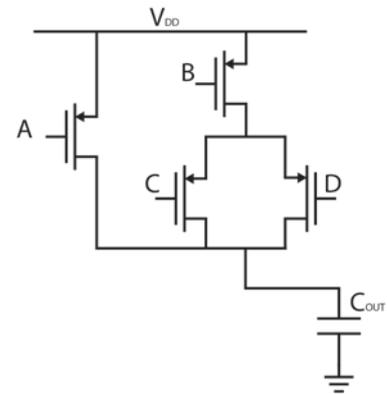


**Esercizio A**

$V_{DD}=5V, |V_{tp}|=1V, k_p=1mA/V^2$

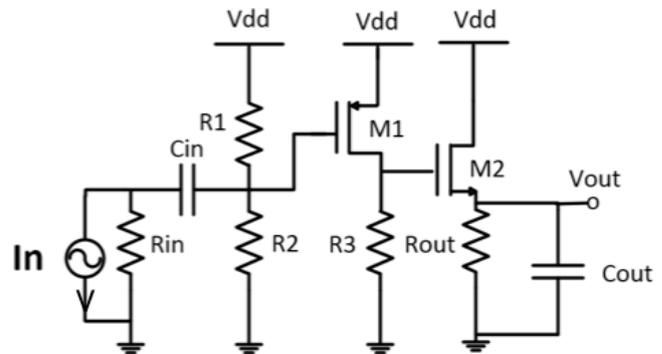
- Determinare la funzione logica svolta dal circuito CMOS in figura.
- Sintetizzare la rete di pull down della porta logica in figura.
- Determinare il massimo valore di  $C_{out}$  compatibile con un tempo di propagazione (10-90%) della porta logica pari a 2ns quando gli ingressi commutano da ABCD=1111 a ABCD=1010.
- Si consideri ora  $C_{out}= 1pF$ . Calcolare la potenza dinamica dissipata dal circuito dati i seguenti ingressi:  
 A=1; D=1  
 B= onda quadra 0- $V_{DD}$ , frequenza = 1MHz  
 C= onda quadra 0- $V_{DD}$ , frequenza = 2MHz  
 Nota: i segnali B e C hanno i fronti di salita allineati



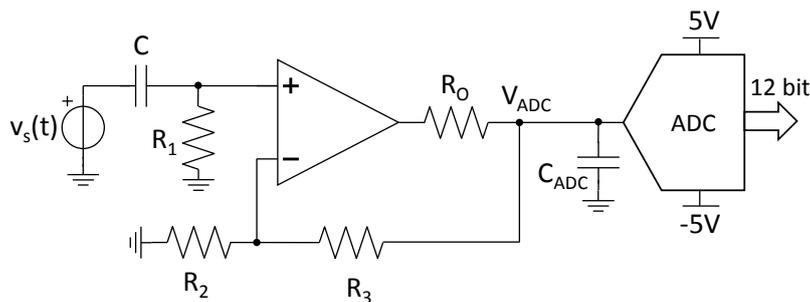
**Esercizio B**

Dati:  $V_{dd}=5V; |V_{tp}|=V_{tn}=1V; K_p=K_n=1mA/V^2; R_{in}=10M\Omega; R_1=10k\Omega; R_2=15k\Omega; R_3=3k\Omega; R_{out}=1k\Omega; C_{in}=C_{out}=1nF/\pi$

- Determinare la polarizzazione del circuito specificando la tensione in ogni nodo e il regime di funzionamento dei due transistor
- Calcolare il guadagno di piccolo segnale  $V_{out}/I_n$  a bassa, media e alta frequenza. Tracciare in seguito il diagramma di Bode quotato di modulo e fase
- Determinare il massimo valore di  $I_n$  (a media frequenza) applicabile al circuito che possa essere considerato un piccolo segnale



**Esercizio C**



$R_1= 100\text{ k}\Omega$        $R_2=100\ \Omega$   
 $R_3= 10\text{ k}\Omega$        $R_O= 50\ \Omega$   
 $C= 100nF$              $C_{ADC}=100pF$

Un sensore produce una tensione  $v_s(t)$  variabile nel tempo compresa tra 10mV e 30mV amplificata e convertita con lo schema circuitale indicato nella figura. Il convertitore ADC è bipolare e converte le tensioni comprese tra -5V e +5V. Si assuma inizialmente l'amplificatore operazionale con guadagno infinito.

- Tracciare il diagramma di Bode del modulo e della fase del trasferimento  $V_{ADC}/V_s$ .
- Assumendo  $v_s(t)$  sinusoidale di frequenza  $f$  e ampiezza 10mV,  $v_s(t)=20mV+10mV\cdot\sin(2\pi ft)$ , determinare per quali frequenze  $f$  il circuito misura l'ampiezza del segnale con una risoluzione migliore di una parte su 100.
- Valutare l'effetto in LSB di una corrente di bias entrante di 1nA.
- Si assuma che all'istante  $t=0$  s il segnale  $v_s$  abbia una variazione a scalino da 10mV a 30mV e immediatamente dopo (a  $t=0^+$  s) abbia inizio la conversione dell'ADC. Calcolare il massimo tempo di conversione dell'ADC compatibile con un errore inferiore a 1LSB.

Si assuma ora l'amplificatore operazionale con guadagno in continua di  $A_0= 10^5$  e prodotto guadagno-banda  $GBP=100MHz$ .

- Tracciare il nuovo diagramma di Bode del trasferimento  $V_{ADC}/V_s$ .
- Quale è il massimo valore della capacità di ingresso del convertitore,  $C_{ADC}$ , che garantisce un margine di fase maggiore di 45°?