

Traccia soluzione Es. A

- 1) $V_{th} = 2.3V$
- 2) $A=0$ ingresso inverter= 4.7V, $A=5V$ ingresso inverter= 0V
- 3) $\tau = 86.7ns$, tempo $10/90 = 191ns$
- 4) $T = t(2.3V) + t_{inverter} = 4.5ns + 39.6ns = 44.1ns$

Traccia soluzione Es. B

- 1) $V_{gate} = 2V$, $V_{source} = 1V$, $V_{o1} = 2V$, $V_{o2} = 0V$, M1 saturo, $g_m = 1mS$, $1/g_m = 1k\Omega$.
- 2) LF: C_{in} , C_{out} entrambe aperte. $G_{o1} = G_{o2} = 0$. MF: C_{in} in corto, C_{out} aperta. $G_{o1} = G_{o2} = 0$. HF: C_{in} , C_{out} entrambe in corto. $G_{o1} = -R_L / (1/g_m + R_L) = -2$, $G_{o2} = R_2 / (1/g_m + R_L) = 0.5$. Bode-modulo: 2 zeri nell'origine, un polo a $1/(2\pi\tau_{in}) = 159Hz$, con $\tau_{in} = C_{in}R_1 = 1mS$ e un polo a $1/(2\pi\tau_{out}) = 79.6MHz$, con $\tau_{out} = C_{out}(1/g_m + R_L) = 2nS$. G_{o1} a HF sopra asse 0dB, G_{o2} a HF sotto asse 0dB. Bode-fase: G_{o1} parte da 180° e scende a 90° dopo I polo e a zero dopo II polo; G_{o2} parte da 0° e scende a -90° dopo I polo e a -180° dopo II polo.
- 3) $V_{in\ max}$ è al passaggio sat. \rightarrow triodo di M1: $V_{in} < 1.5V$.

Traccia soluzione Es. C

- 1) $G(0) = 1$, $G(\infty) = 11$, $f_p = 1/(2\pi C R_1) = 3.18kHz$, $f_z = 1/(2\pi C (R_1 + R_2)) = 290 Hz$
- 2) $1\ LSB = 10V/2^{14} = 0.61mV$. La tensione V_{DC} è riportata in ingresso all'ADC invariata, di conseguenza deve variare di almeno $0.61mV$ per garantire una variazione di 1 LSB della codifica fornita dall'ADC. La sinusoide V_{AC} a $50kHz$ è amplificata di 11 dallo stadio amplificante. Una sua variazione di $10\ mV$ produce una variazione di $110\ mV / 1\ LSB = 180$ della codifica digitale.
- 3) Durante la fase di hold, di durata $T_2 = 9\ \mu s$, il condensatore è scaricato da $R_{in,ADC}$ portando a un transitorio esponenziale della tensione in ingresso all'ADC: $V_{H,ini} e^{-t/\tau}$ dove $V_{H,ini}$ è la tensione all'inizio della fase di hold e $\tau = C_H \cdot R_{in,ADC}$. Per avere un errore minore di 1 LSB dobbiamo imporre $V_{H,ini} - V_{H,ini} e^{-T_2/\tau} < 1\ LSB$. Il caso pessimo si ha per $V_{H,ini} = 5V$ (massima tensione in uscita all'operazionale) a cui corrisponde $\tau > 73.7ms$ e $R_{in,ADC} > 73M\Omega$.
- 4) $G_{loop} = A_0 \cdot (1 + s\tau_z) / [(1 + s\tau_0) \cdot (1 + s\tau_p)]$ con $f_0 = 1/2\pi\tau_0 = GBWP/A_0 = 50\ Hz$, $\tau_z = C \cdot R_1 \rightarrow f_z = 3.18\ kHz$, $\tau_p = C \cdot (R_1 + R_2) \rightarrow f_p = 290\ Hz$. Il guadagno d'anello taglia l'asse a 0 dB a $f^* \approx GBWP \cdot R_1 / (R_1 + R_2) = 455kHz$ con un margine di fase di $\approx 90^\circ$. L'amplificatore è quindi stabile